

Chaque candidat doit, en début d'épreuve, porter son nom dans le coin de la copie qu'il cachera par collage après avoir été pointé. Il devra, en outre, porter son numéro de place sur chacune des copies, intercalaires ou pièces annexées.

1. Questions de "culture générale" sur les procédés submicroniques

1. La "prédiction" ou loi de Moore est valable depuis plus de 30 ans. Pensez vous que cette loi va continuer à être vérifiée dans la prochaine décennie? Donner quelques éléments justifiant votre réponse.
2. Les technologies actuelles utilisent principalement le silicium comme semiconducteur dans lequel sont réalisés les zones actives des composants à l'exception de quelques applications "de niche". Dans les années à venir (sur une perspectives d'une dizaine d'année), pensez vous que ce matériau va continuer à être utilisé dans les procédés de composants avancés? Donner quelques éléments justifiant votre réponse.
3. Pour les transistors MOSFET, le contrôle du transport des charges électriques dans le canal s'effectue à l'aide du champ électrique transverse issu de la polarisation de la grille : on parle de "Field Effect Transistor (FET)". Dans les années à venir, est ce que cet effet du champ électrique sur le transport de charge pourra être remplacé par d'autres effets physiques permettant d'envisager de "nouveaux" composants. Proposez quelques idées à ce sujet.

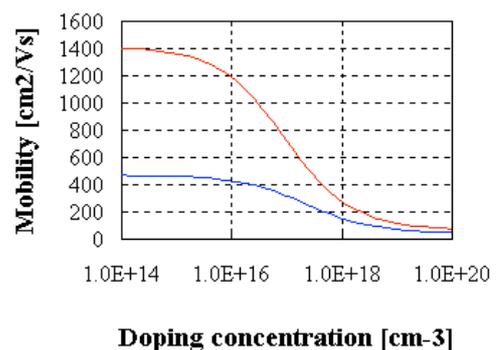
2. Identification de structures MOS

Sur la fiche de réponse jointe à rendre avec la copie, différentes vues de différentes technologies de transistors MOS sont données. Il s'agit de vue en coupe ou de vue de dessous sous forme schématique ou des photographies obtenus par microscopies optique ou électronique. Pour chaque vues, compléter la figure en indiquant la position de la grille, de la source et du drain (les structures sont généralement symétriques donc on ne peut généralement pas distinguer la source du drain). Indiquer également, lorsque cela est possible, la longueur et la largeur du composant (pour certaines figures, le travail a déjà été réalisé).

3. Calcul de caractéristiques électriques de transistors FINFET

On considère un FinFET de type N de longueur $L = 32$ nm, de largeur $W = 100$ nm et de hauteur $H = 100$ nm. Le dopage dans le canal est égal à $1 \cdot 10^{17}$ at/cm³. la tension de seuil de ce transistor vaut 1 V.

1. A l'aide de la figure ci-contre donnant l'évolution de la mobilité de porteurs majoritaires en fonction du dopage du silicium (la courbe rouge correspond à la mobilité des électrons et la courbe bleu correspond à la mobilité des trous), déterminer la mobilité des porteurs en inversion.



2. Donner la largeur équivalente de ce transistor
3. Tracer sur le graphique donné sur la fiche réponse, l'évolution du courant de drain de ce transistor MOS fonctionnant en saturation dans les conditions suivantes. On ne tracera pas le cas du fonctionnement linéaire du transistor (les courbes pourront donc être prolongées jusqu'à l'axe des ordonnées). On supposera que le courant de drain est donné par l'équation :

$$I_{Dsat} = \mu \cdot K \cdot (V_{GS} - V_T)^2$$

On prendra $K = 4,3 \cdot 10^{-3} \text{ mA} \cdot \text{V}^{-1} \cdot \text{s} \cdot \text{cm}^{-2}$ et μ la valeur extraite de la question 1. On n'effectuera le calcul pour 4 valeurs de la tension V_{GS} : 1 V ; 1,707 V ; 1,866 V et 2 V.

4. Evolution de technologie CMOS

Le tableau ci-dessous donne une comparaison qualitative de grandeurs caractéristiques (rapport largeur W/ longueur L, épaisseur de l'oxyde de grille T_{ox} , Tension maximale de drain V_D , dopage du substrat N_A et temps de delay) de deux technologies CMOS successives (0,35 μm et 0,1 μm)

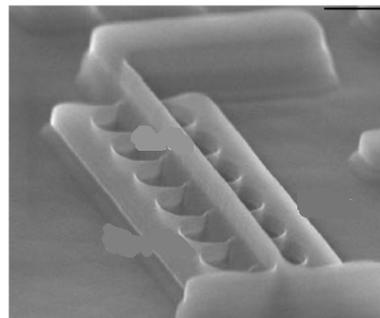
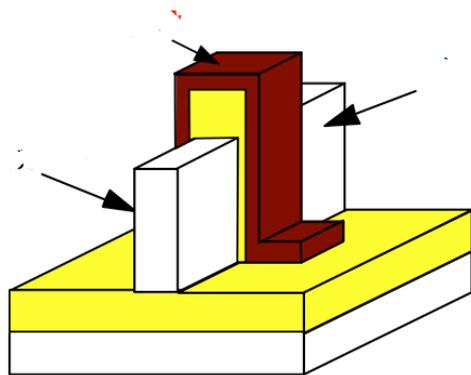
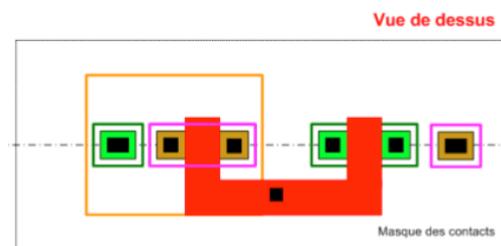
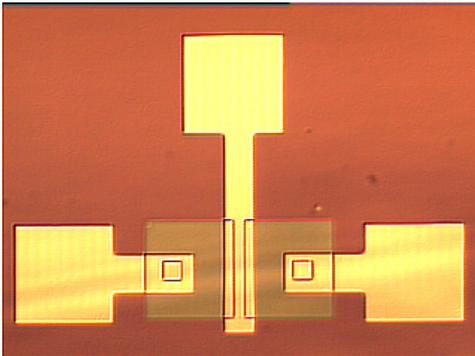
Parametre	Technologie CMOS		Facteur d'échelle
	0.35 μm	0.1 μm	
W/L (μm)	25/0.35	10/0.1	
T_{ox} (nm)	7	4	
V_D (V)	2.8	1.5-2	
N_A (cm^{-3})	$2 \cdot 10^{17}$	$5 \cdot 10^{17}$	
Delay (ps/bloc)	69	32	

Calculer le facteur d'échelle du tableau et vérifier que les valeurs obtenues dans cet exemple vérifient bien l'hypothèse de champ électrique quasi constant à l'intérieur de ces structures MOS de dimensions micrométriques.

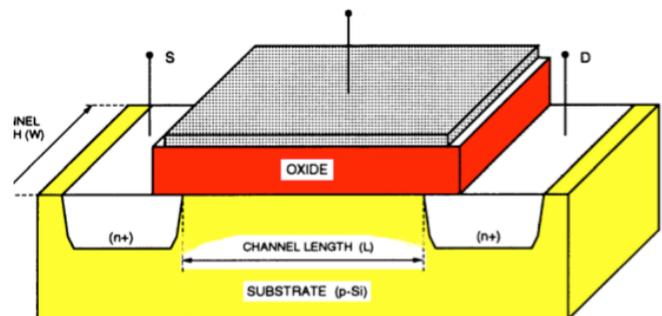
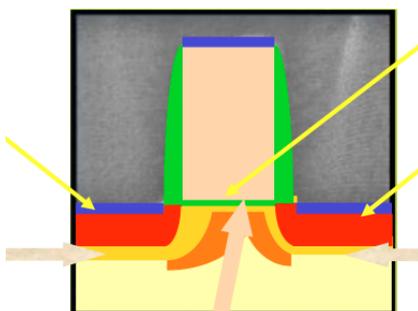
Fiche réponse à joindre à la copie d'examen

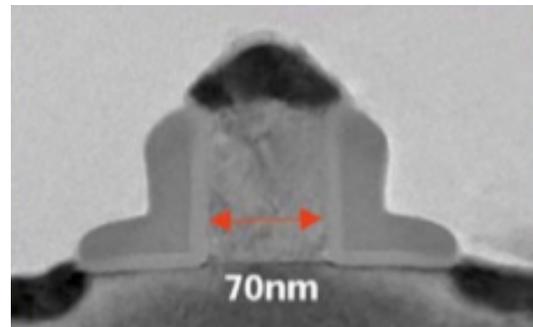
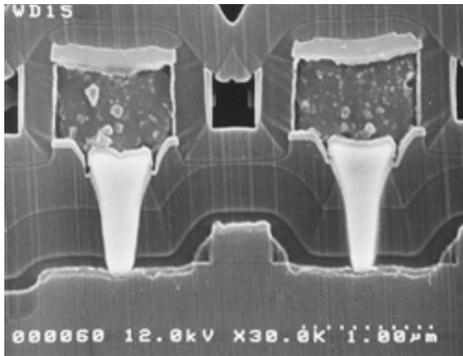
2. Identification de structures MOS

Vues dessus



Vues en coupe





3. Calcul de caractéristiques électriques de transistors FINFET

